

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-193260
 (43)Date of publication of application : 10.08.1988

(51)Int. Cl. G06F 15/16
 G06F 11/16
 G06F 11/30

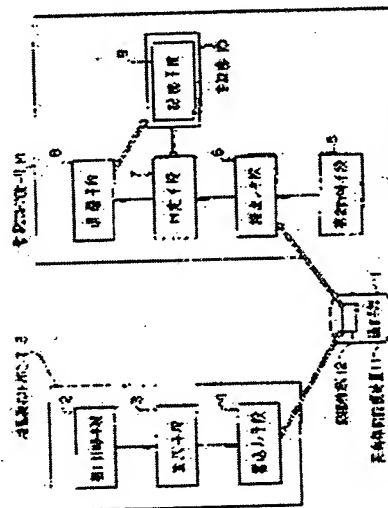
(21)Application number : 62-026809 (71)Applicant : NEC CORP
 (22)Date of filing : 06.02.1987 (72)Inventor : SUZUKI AKIHIRO

(54) HOST PROCESSOR MONITORING SYSTEM FOR LOOSELY COUPLED MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To perform a monitoring operation without providing any special hardware nor the intervention of an operator by monitoring the state where the contents of a specific area on a shared auxiliary storage device are not updated by a host processor to be monitored for longer than a certain time.

CONSTITUTION: The 1st clocking means 2 of the host processor 13 to be monitored reads the current time out of an operating system and then the current time passed through a generating means 3 is written as a flag in the storage area 12 of the communication means 1 of the shared auxiliary storage device 11 through a writing means 4 at the time when the generating means 3 is actuated, and updated successively. The storage contents are read out by a read means 6 actuated by the 2nd clocking means 5 of a monitoring host processor 14 and compared with a previous time flag which is supplied through a saving means 8 and updated and written in the storage means 9 of a main storage 10, and a decision means 7 decides that the processor 13 is abnormal and the contents of the area 12 are not updated for longer than a certain time. Thus, the abnormality of the host processor is monitored without adding any special hardware nor the intervention of an operator.



CZ

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-193260

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)8月10日

G 06 F 15/16
11/16
11/304 6 0
3 1 02116-5B
C-7368-5B
7343-5B

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 疎結合マルチプロセッサシステムのホストプロセッサ監視方式

⑯ 特 願 昭62-26809

⑰ 出 願 昭62(1987)2月6日

⑱ 発 明 者 鈴木 明 廣 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 河原 純一

明 細 書

1. 発明の名称

疎結合マルチプロセッサシステムのホストプロセッサ監視方式

2. 特許請求の範囲

共有補助記憶装置により疎結合され計時機構を有するオペレーティングシステムを含む複数のホストプロセッサを備える疎結合マルチプロセッサシステムのホストプロセッサ監視方式において、

監視されるホストプロセッサが書き込むデータを監視するホストプロセッサが読み出すために共有されている前記共有補助記憶装置上の記憶領域を含む通信手段と、

前記監視されるホストプロセッサが動作していることを表示するビットから構成される監視ビットを生成する生成手段と、

この生成手段によって生成された前記監視ビットを前記通信手段内の記憶領域に書き込む書き込み手段と、

前記生成手段をあらかじめ定められている第1

の時間間隔で起動する第1計時手段と、

前記通信手段内の記憶領域の内容を読み出す読出し手段と、

この読出し手段で読み出された前記通信手段内の記憶領域の内容を記憶する記憶手段と、

前記読出し手段で読み出された前記通信手段内の記憶領域の内容と前記記憶手段によって記憶されている内容とを比較して前記監視されるホストプロセッサが前記監視ビットを書き込んだか否かを判定する判定手段と、

前記読出し手段によって読み出された前記通信手段内の記憶領域の内容を前記記憶手段内に退避させる退避手段と、

前記読出し手段をあらかじめ定められている第2の時間間隔で起動する第2計時手段と、

を有することを特徴とする疎結合マルチプロセッサシステムのホストプロセッサ監視方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は疎結合マルチプロセッサシステムのホ

ストプロセッサ監視方式に関し、特に共有補助記憶装置により疎結合され計時機構を有するオペレーティングシステムを含む複数のホストプロセッサを備える疎結合マルチプロセッサシステムにおけるホストプロセッサ監視方式に関する。

〔従来の技術〕

従来、この種の疎結合マルチプロセッサシステムのホストプロセッサ監視方式としては、ホストプロセッサ毎に操作員を配置して人手により動作監視を行う方式と、オペレーティングシステムの動作を監視するための専用のハードウェア装置を設置する方式とがあった。

〔発明が解決しようとする問題点〕

上述した従来の疎結合マルチプロセッサシステムのホストプロセッサ監視方式は、人手による監視方式の場合には、オペレーティングシステムの内部で生じる無限ループなどの異常は検出が困難であり、また人員の確保による人件費の増加を伴うという欠点がある。

また、監視用に専用のハードウェア装置を設置

する方式の場合には、電子計算機システムのコストの増加を伴うという欠点がある。

本発明の目的は、上述の点に鑑み、特別なハードウェア装置を設けることなしにかつ人手に頼ることなしにホストプロセッサの動作監視を行うことができる疎結合マルチプロセッサシステムのホストプロセッサ監視方式を提供することにある。

〔問題点を解決するための手段〕

本発明の疎結合マルチプロセッサシステムのホストプロセッサ監視方式は、共有補助記憶装置により疎結合され計時機構を有するオペレーティングシステムを含む複数のホストプロセッサを備える疎結合マルチプロセッサシステムのホストプロセッサ監視方式において、監視されるホストプロセッサが書き込むデータを監視するホストプロセッサが読み出すために共有されている前記共有補助記憶装置上の記憶領域を含む通信手段と、前記監視されるホストプロセッサが動作していることを表示するビットから構成される監視ビットを生成する生成手段と、この生成手段によって生成さ

れた前記監視ビットを前記通信手段内の記憶領域に書き込む書き込み手段と、前記生成手段をあらかじめ定められている第1の時間間隔で起動する第1計時手段と、前記通信手段内の記憶領域の内容を読み出す読出し手段と、この読出し手段で読み出された前記通信手段内の記憶領域の内容を記憶する記憶手段と、前記読出し手段で読み出された前記通信手段内の記憶領域の内容と前記記憶手段によって記憶されている内容とを比較して前記監視されるホストプロセッサが前記監視ビットを書き込んだか否かを判定する判定手段と、前記読出し手段によって読み出された前記通信手段内の記憶領域の内容を前記記憶手段内に退避させる退避手段と、前記読出し手段をあらかじめ定められている第2の時間間隔で起動する第2計時手段とを有する。

〔作用〕

本発明の疎結合マルチプロセッサシステムのホストプロセッサ監視方式では、通信手段が監視されるホストプロセッサが書き込むデータを監視す

るホストプロセッサが読み出すために共有されている共有補助記憶装置上の記憶領域を含み、生成手段が監視されるホストプロセッサが動作していることを表示するビットから構成される監視ビットを生成し、書き込み手段が生成手段によって生成された監視ビットを通信手段内の記憶領域に書き込み、第1計時手段が生成手段をあらかじめ定められている第1の時間間隔で起動し、読出し手段が通信手段内の記憶領域の内容を読み出し、記憶手段が読出し手段で読み出された通信手段内の記憶領域の内容を記憶し、判定手段が読出し手段で読み出された通信手段内の記憶領域の内容と記憶手段によって記憶されている内容とを比較して監視されるホストプロセッサが監視ビットを書き込んだか否かを判定し、退避手段が読出し手段によって読み出された通信手段内の記憶領域の内容を記憶手段内に退避させ、第2計時手段が読出し手段をあらかじめ定められている第2の時間間隔で起動する。

〔実施例〕

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明の一実施例を示すブロック構成図である。本実施例のホストプロセッサ監視方式が適用される疎結合マルチプロセッサシステムは、監視されるホストプロセッサ（以下、被監視ホストプロセッサと称する）13と、監視するホストプロセッサ（以下、監視ホストプロセッサと称する）14と、被監視ホストプロセッサ13が書き込むデータを監視ホストプロセッサ14が読み出すために共有されている共有補助記憶装置11とを含んで構成されている。

共有補助記憶装置11上には、記憶領域12を含む通信手段1が設けられている。

被監視ホストプロセッサ13には、被監視ホストプロセッサ13が動作していることを表示するビットから構成される監視ビットを生成する生成手段3と、生成手段3によって生成された監視ビットを通信手段1内の記憶領域12に書き込む書き込み手段4と、生成手段3をあらかじめ定められている

第3図を参照すると、生成手段3における処理は、現在時刻読出しステップ31と、監視ビット編集ステップ32と、監視ビット出力ステップ33と、書き込み手段起動ステップ34とからなる。

第4図を参照すると、書き込み手段4における処理は、監視ビット入力ステップ41と、補助記憶装置書き込みステップ42とからなる。

第5図を参照すると、第2計時手段5における処理は、現在時刻読出しステップ51と、起動時刻経過判定ステップ52と、読出し手段起動ステップ53と、起動時刻更新ステップ54とからなる。

第6図を参照すると、読出し手段6における処理は、補助記憶装置読出しステップ61と、監視ビット出力ステップ62と、判定手段起動ステップ63とからなる。

第7図を参照すると、判定手段7における処理は、監視ビット入力ステップ71と、記憶手段の監視ビットとの比較ステップ72と、一致判定ステップ73と、異常信号設定ステップ74と、監視ビット出力ステップ75と、回避手段起動ステップ76とからなる。

第1の時間間隔T₁で起動する第1計時手段2とが含まれている。

監視ホストプロセッサ14には、通信手段1内の記憶領域12を読み出す読出し手段6と、読出し手段6で読み出された通信手段1内の記憶領域12の内容を記憶する主記憶10内の記憶手段9と、読出し手段6で読み出された通信手段1内の記憶領域12の内容と記憶手段9により記憶されている内容とを比較して被監視ホストプロセッサ13が通信手段1内の記憶領域12に監視ビットを書き込んだか否かを判定する判定手段7と、読出し手段6によって読み出された通信手段1内の記憶領域12の内容を記憶手段9内に退避させる退避手段8と、読出し手段6をあらかじめ定められている第2の時間間隔T₂で起動する第2計時手段5とが含まれている。

第2図を参照すると、第1計時手段2における処理は、現在時刻読出しステップ21と、起動時刻経過判定ステップ22と、生成手段起動ステップ23と、起動時刻更新ステップ24とからなる。

らなる。

第8図を参照すると、退避手段8における処理は、監視ビット入力ステップ81と、記憶手段書き込みステップ82とからなる。

次に、このように構成された本実施例の疎結合マルチプロセッサシステムのホストプロセッサ監視方式の動作について説明する。

まず、被監視ホストプロセッサ13では、第1計時手段2が、オペレーティングシステム（図示せず）から現在時刻を読み出し（ステップ21）、生成手段3を起動する時刻に達しているか否かを判定し（ステップ22）、現在時刻が生成手段3を起動する時刻に達していないときは再びステップ21に戻る。現在時刻が生成手段3を起動する時刻に達しているときには生成手段3を起動し（ステップ23）、生成手段3を起動する時刻をあらかじめ定められている第1の時間間隔T₁だけ後に設定して（ステップ24）、ステップ21に戻る。

第1計時手段2により起動された生成手段3は、オペレーティングシステムから現在時刻を読み出

し(ステップ31)、読み出された現在時刻を所定ビット長のデータに編集して監視ビットとして出力し(ステップ32および33)、書き込み手段4を起動する(ステップ34)。

生成手段3により起動された書き込み手段4は、監視ビットを入力し(ステップ41)、入力した監視ビットを共有補助記憶装置11の通信手段1内の記憶領域12に書き込む(ステップ42)。記憶領域12に書き込まれる監視ビットは現在時刻を表すビット列であるので、通信手段1内の記憶領域12の内容は被監視ホストプロセッサ13が正常動作している間は第1の時間間隔T、毎に順次異なる値で更新されていく。

一方、監視ホストプロセッサ14では、第2計時手段5が、オペレーティングシステム(図示せず)から現在時刻を読み出し(ステップ51)、読出し手段6を起動する時刻に達しているかを判定し(ステップ52)、現在時刻が読出し手段6を起動する時刻に達していないときは再びステップ51に戻る。現在時刻が読出し手段6を起動する時

刻に達しているときは読出し手段6を起動し(ステップ53)、読出し手段6を起動する時刻をあらかじめ定められている第2の時間間隔T、だけ後に設定して(ステップ54)、ステップ51に戻る。

第2計時手段5により起動された読出し手段6は、共有補助記憶装置11の通信手段1内の記憶領域12の内容を読み出して監視ビットを取り出し(ステップ61)、監視ビットを出力して(ステップ62)、判定手段7を起動する(ステップ63)。

読出し手段6により起動された判定手段7は、読出し手段6が通信手段1内の記憶領域12の内容から取り出した監視ビットを入力し(ステップ71)、記憶手段9内に先に格納されている監視ビットと比較し(ステップ72)、内容が一致するかどうかを判定する(ステップ73)。ステップ73の判定結果が一致を示しているときは、被監視ホストプロセッサ13が正常に動作していないことを意味しているのでこの旨を表示する異常信号を設定する(ステップ74)。ステップ73の判定結果が不一致を示しているときには、被監視ホストプロセッサ

13が正常に動作していることを意味しているので異常信号の設定は行わない。次に、ステップ71で入力した監視ビットを出力し(ステップ75)、退避手段8を起動する(ステップ76)。

判定手段7により起動された退避手段8は、判定手段7が出力した監視ビットを入力して(ステップ81)、主記憶10内の記憶手段9に書き込む(ステップ82)。

したがって、監視ホストプロセッサ14において判定手段7が読出し手段6により通信手段1内の記憶領域12から読み出された監視ビットと比較する記憶手段9に記憶されている内容は、前回、すなわち第2の時間間隔T、だけ以前に通信手段1内の記憶領域12から読み出された監視ビットである。

他方、被監視ホストプロセッサ13においては、通信手段1内の記憶領域12への監視ビットの書き込みは第1計時手段2により第1の時間間隔T、で行われかつ生成手段3が同一の監視ビットを生成しないことを保証しているので、被監視ホストプ

ロセッサ13が正常動作している間は通信手段1内の記憶領域12に書き込まれている監視ビットは第1の時間間隔T、毎に異なる値に更新される。

このため、第1の時間間隔T、と第2の時間間隔T、とを

$$T_1 < T_2$$

の関係でかつ第2の時間間隔T₂、を余裕のある値に設定したときには、監視ホストプロセッサ14において判定手段7のステップ73の判定結果が不一致ならば第2の時間間隔T₂、の間に被監視ホストプロセッサ13が通信手段1内の記憶領域12に監視ビットの書き込みを行ったことを示しているので、被監視ホストプロセッサ13が正常動作していると判定できる。また、ステップ73の判定結果が一致するときは、第2の時間間隔T₂、の間に被監視ホストプロセッサ13が通信手段1内の記憶領域12に監視ビットの書き込みを行えなかったことを示しているので、被監視ホストプロセッサ13が正常動作していないと判定できる。

(発明の効果)

以上説明したように本発明は、被監視ホストプロセッサによる共有補助記憶装置上の特定の領域の内容の更新が一定時間以上行われないことを監視ホストプロセッサによって監視することにより、ホストプロセッサの監視のために特別なハードウェア装置を設置することによる電子計算機システムのコストの増加を避けることができるという効果がある。

また、人手による監視よりも速やかに被監視ホストプロセッサの動作異常を検出することができるとともに、省力化により人件費の増加を抑えることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック構成図、

第2図は第1図中の第1計時手段における処理を示す流れ図、

第3図は第1図中の生成手段における処理を示す流れ図、

第4図は第1図中の書き込み手段における処理を示す流れ図、

第5図は第1図中の第2計時手段における処理を示す流れ図、

第6図は第1図中の読出し手段における処理を示す流れ図、

第7図は第1図中の判定手段における処理を示す流れ図、

第8図は第1図中の退避手段における処理を示す流れ図である。

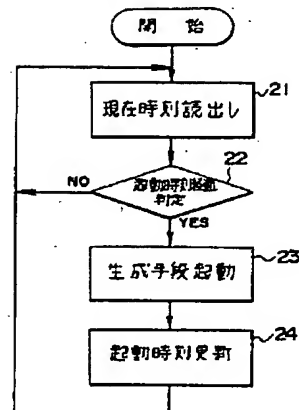
図において、

- 1・・・通信手段、
- 2・・・第1計時手段、
- 3・・・生成手段、
- 4・・・書き込み手段、
- 5・・・第2計時手段、
- 6・・・読出し手段、
- 7・・・判定手段、
- 8・・・退避手段、
- 9・・・記憶手段、
- 10・・・主記憶、

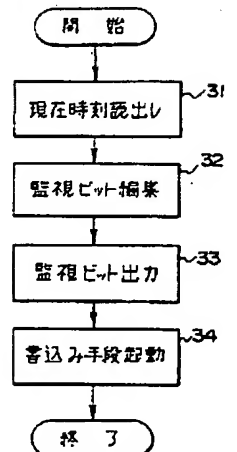
- 11・・・共有補助記憶装置、
- 12・・・記憶領域、
- 13・・・被監視ホストプロセッサ、
- 14・・・監視ホストプロセッサである。

特許出願人 日本電気株式会社
代理人 弁理士 河原 純一

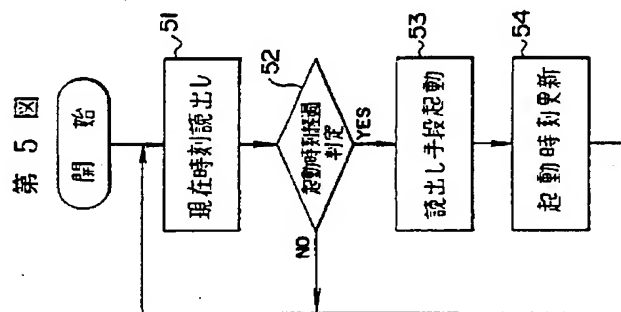
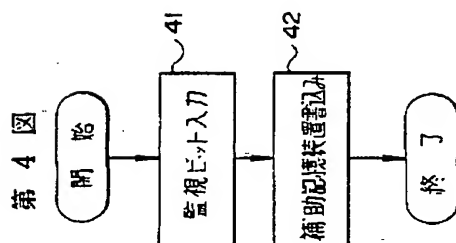
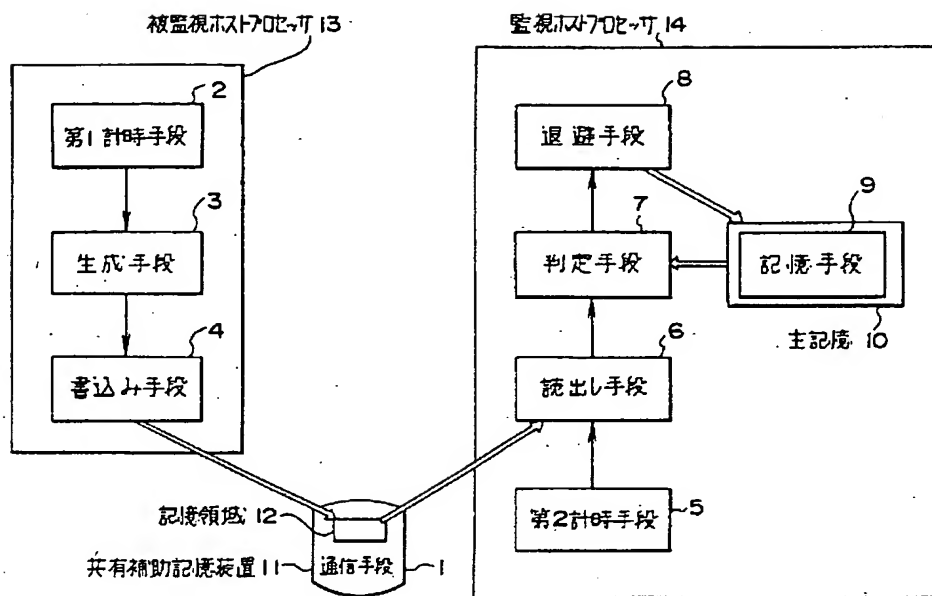
第2図



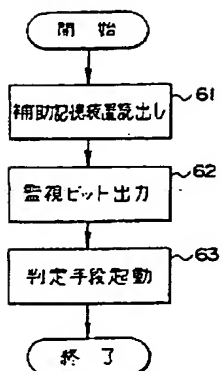
第3図



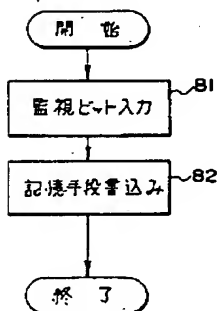
第 1 図



第 6 図



第 8 図



第 7 図

